

PATENT ABSTRACTS OF JAPAN

(11) Publication number : **09-069733**

(43) Date of publication of application : **11.03.1997**

(51) Int.CI.

H03F 1/32

(21) Application number : 07-224169

(71) Applicant : FUJITSU LTD

(22) Date of filing : 31.08.1995

**(72) Inventor : OISHI YASUYUKI
FURUKAWA HIDETO
HASE KAZUO
FUKUDA EISUKE
TAKANO TAKESHI**

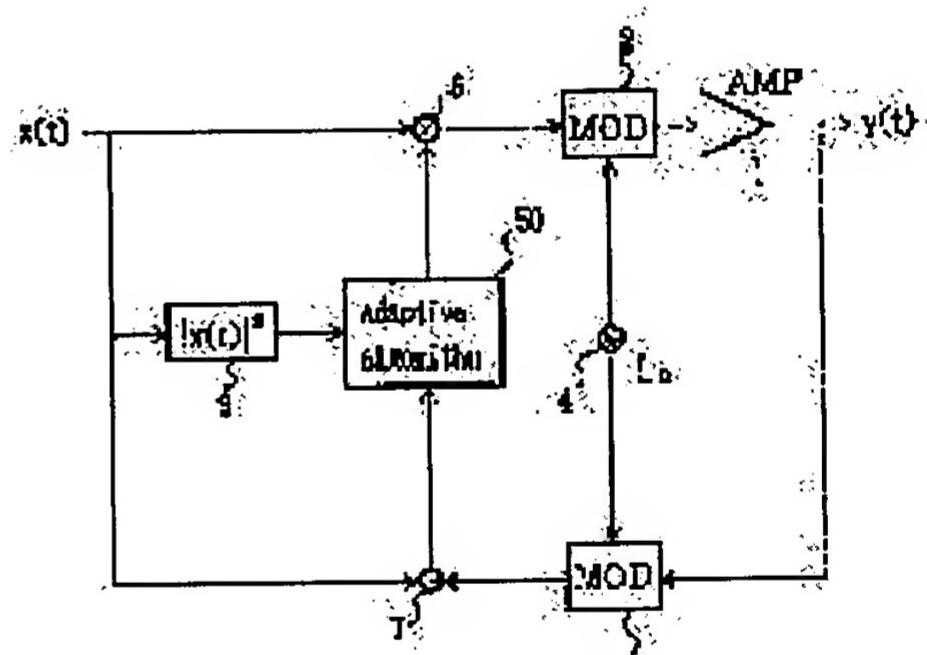
(54) AMPLIFIER HAVING DISTORTION COMPENSATION FUNCTION

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the capacity of a distortion compensation table and to eliminate the need for the polar/orthogonal and orthogonal/polar coordinate transformation operations by generating a compensation coefficient from the error signal obtained between the input signal and the output of an amplifier based on the adaptive algorithm to compensate the distortion characteristic component of the amplifier.

SOLUTION: A compensation coefficient is generated from the error signal obtained between the input signal and the output of an amplifier 1 based on the adaptive algorithm to compensate the distortion characteristic component of the amplifier 1. That is, an estimated compensation coefficient generation circuit 50 applying the adaptive algorithm outputs a distortion compensation coefficient corresponding to the amplitude of a base band input signal X (t). Such coefficient uses a fact that it is equal to a function that is defined between the amplitude and phase distortions of the amplifier 1.

Thereby, the circuit 50 has the distortion compensation coefficients corresponding to the input signal amplitude and the electric power or their functions. Then the signal X (t) is multiplied by the distortion compensation coefficient output of the circuit 50 by an amplifier 6.



LEGAL STATUS

[Date of request for examination]

11.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-69733

(43)公開日 平成9年(1997)3月11日

(51)Int.Cl.⁶

識別記号 庁内整理番号

F I
H 0 3 F 1/32

技術表示箇所

H 0 3 F 1/32

審査請求 未請求 請求項の数19 O.L (全 13 頁)

(21)出願番号 特願平7-224169

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(22)出願日 平成7年(1995)8月31日

(72)発明者 大石 泰之

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 古川 秀人

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 林 恒徳

最終頁に続く

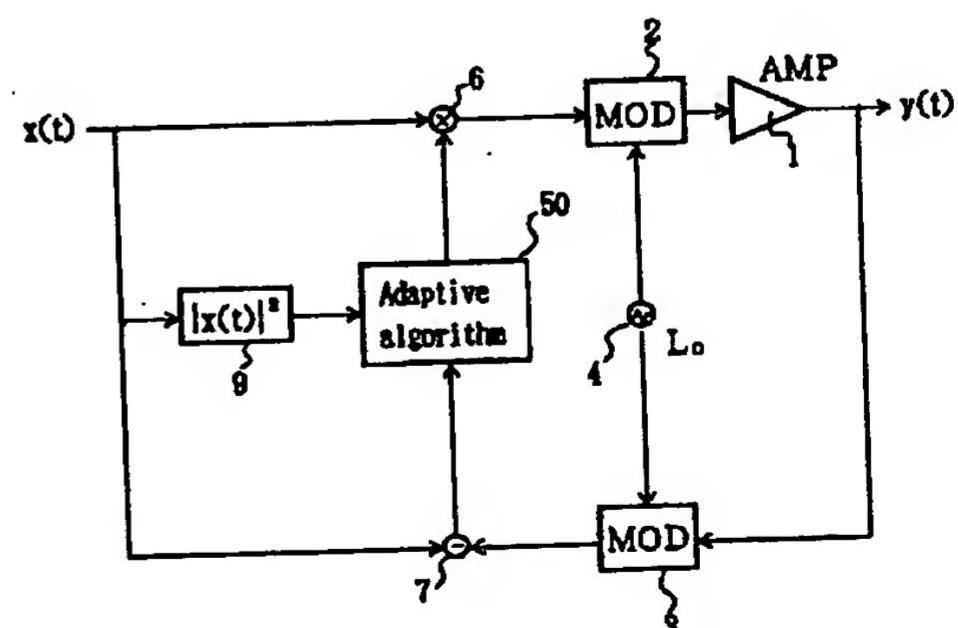
(54)【発明の名称】 歪補償を有する増幅器

(57)【要約】

【課題】 歪補償テーブルの容量を小さくできる歪み補償機能を有する増幅器を提供し、極座標／直交座標、直交座標／極座標の変換演算の必要を解消する歪み補償機能を有する増幅器を提供する。

【解決手段】 増幅器と、増幅器の入力信号と、該増幅器の出力との誤差信号を求める手段と、誤差信号から該増幅器の歪み特性成分を補償する補償係数を適応型アルゴリズムにより生成する手段と、生成された補償係数を該入力信号に対応して出力する手段と、入力信号に対応して出力される補償係数を該入力信号に乗積して、該増幅器に入力する手段とを有する。

本発明の原理図



【特許請求の範囲】

【請求項1】 増幅器と、
該増幅器の入力信号と、該増幅器の出力との誤差信号を
求める手段と、
該誤差信号から該増幅器の歪み特性成分を補償する補償
係数を適応型アルゴリズムにより生成する手段と、
該生成された補償係数を該入力信号に対応して出力する
手段と、
該入力信号に対応して出力される補償係数を該入力信号
に乘積して、該増幅器に入力する手段とを有することを
特徴とする歪補償を有する増幅器。

【請求項2】 請求項1において、
該入力信号に対応して出力する手段は、入力信号の振幅
に対応した歪補償係数を出力することを特徴とする歪補
償を有する増幅器。

【請求項3】 請求項1において、
該入力信号に対応して出力する手段は、入力信号の電力
に対応した歪補償係数を出力することを特徴とする歪補
償を有する増幅器。

【請求項4】 請求項1において、
該入力信号に対応して出力する手段は、入力信号の振幅
の関数に対応した歪補償係数を出力することを特徴とす
る歪補償を有する増幅器。

【請求項5】 請求項1において、
該入力信号に対応して出力する手段は、入力信号の電力
の関数に対応した歪補償係数を出力することを特徴とす
る歪補償を有する増幅器。

【請求項6】 請求項1、2、3、4または5において、
該入力信号に対応して出力される補償係数を該入力信号
に乘積して、該増幅器に入力する手段は、該入力信号に
対して出力された歪補償係数を複素数で乗積することを
特徴とする歪補償を有する増幅器。

【請求項7】 請求項1、2、3、4または5において、
該適応型アルゴリズムをLMS適応アルゴリズムとす
ることを特徴とする歪補償を有する増幅器。

【請求項8】 請求項1、2、3、4または5において、
該適応型アルゴリズムをRLS適応アルゴリズムとす
ることを特徴とする歪補償を有する増幅器。

【請求項9】 請求項1、2、3、4または5において、
該増幅器の入力側に直交信号変調器と、該増幅器の出力
側に該増幅器から分岐される信号を復調する直交信号復
調器を有し、且つ該適応型アルゴリズムを該直交信号復
調器からの復調複素信号の象限情報を用いる適応アルゴ
リズムとすることを特徴とする歪補償を有する増幅器。

【請求項10】 請求項1、2、3、4または5において、
該誤差信号から該増幅器の歪み特性成分を補償する該補
償係数を適応型アルゴリズムにより生成する手段に機能
的に接続され、生成された補償係数に基づき、所定関数
により補償係数を演算し、該演算により求められた補償

10

20

30

40

50

係数により、該生成された補償係数を補間することを特
徴とする歪補償を有する増幅器。

【請求項11】 請求項10において、
該所定関数を一次関数とすることを特徴とする歪補償を
有する増幅器。

【請求項12】 請求項1、2、3、4または5にお
いて、

更に、歪補償係数の初期値を出力する手段を有し、該手
段は、該生成された補償係数を該入力信号に対応して出
力するのに先立って、該初期値を該入力信号に乘積する
ことを特徴とする歪補償を有する増幅器。

【請求項13】 請求項1、2、3、4または5にお
いて、

該誤差信号から該増幅器の歪み特性成分を補償する補償
係数を適応型アルゴリズムにより生成する手段により生
成される補償係数の更新と、該入力信号に対応して出力
される補償係数を該入力信号に乘積して、該増幅器に入
力する手段における該補償係数の該入力信号への乗積と
を時間的に独立して行うように制御する手段を有するこ
とを特徴とする歪補償を有する増幅器。

【請求項14】 請求項13において、
該補償係数の該入力信号への乗積とを時間的に独立して
行うように制御する手段は、デュアルポートRAMを有
し、該デュアルポートRAMへの該補償係数の更新書き
込みと、該デュアルポートRAMからの該補償係数の読
出しが時間的に独立されることを特徴とする歪補償を有
する増幅器。

【請求項15】 請求項1、2、3、4または5にお
いて、

更に、所定振幅値まで漸次増加する波形の信号を発生す
るトレーニング信号発振器を有し、トレーニング期間に
該波形の信号を繰り返し入力し、振幅をスイープして該
所定振幅値の範囲で歪み補償係数を推定するようにした
ことを特徴とする歪補償を有する増幅器。

【請求項16】 請求項1、2、3、4または5にお
いて、

該増幅器の入力側に直交信号変調器と、該増幅器の出力
側に該増幅器から分岐される信号を復調する直交信号復
調器と更に、該直交信号復調器からの復調信号につい
て、その最大値、最小値に基づき、該直交信号復調器を
含む系のDCオフセット及び、IチャネルとQチャネル
のゲイン偏差を求め、これを補正するする回路を有する
ことを特徴とする歪補償を有する増幅器。

【請求項17】 請求項16において、
該DCオフセット及び、IチャネルとQチャネルのゲイ
ン偏差を、該直交信号復調器から単位円を出力し、該單
位円に基づき該IチャネルとQチャネルの最大値、最
小値を検知し、該最大値、最小値に基づき補正すること
を特徴とする歪補償を有する増幅器。

【請求項18】 請求項17において、

3
該 I チャネルと Q チャネルのゲイン偏差を適応アルゴリズムを用いて検知することを特徴とする歪補償を有する増幅器。

【請求項 19】 請求項 16において、
更に、複素平面での単位円を発生するトレーニング信号發振器を有し、トレーニング期間に該単位円の信号を繰り返し入力し、振幅をスイープして該所定振幅値の範囲で歪み補償係数を推定するようにしたことを特徴とする歪補償を有する増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、歪み補償を有する増幅器に関する。特に、線形変調信号を増幅する電力増幅器、あるいは線形変調信号の受信機に用いる低雑音増幅器等として使用される歪み補償を有する増幅器に関する。

【0002】

【従来の技術】 線形変調信号を増幅する電力増幅器、あるいは線形変調信号の受信機に用いる低雑音増幅器として、スペクトラム特性や信号の歪みに起因する伝送特性の劣化を抑えるために線形性の高い増幅器が要求される。

【0003】 一方、多くの用途分野において、増幅器には常に高い電力効率が求められる。しかし、増幅器の線形性と効率は一般に相反する特性であり、これを両立させるためにこれまで様々な歪補償方式が提案されている。

【0004】かかる歪補償方式の一つとしてプリディストータが知られている。プリディストータの原理は、増幅器の入力信号に対して増幅器の歪み特性と逆の特性をあらかじめ付加しておくことにより、増幅器の出力において歪みのない所望信号を得る方式である。

【0005】 図 14 にプリディストータの従来例を示す。図において、1 は直交変調器の出力を増幅する電力増幅器である。入力ベースバンド信号 I、Q はそれぞれ歪み補償テーブル 8 からの補償値 ΔI_0 、 ΔQ_0 が加算器 6 で加算され、直交変調器 2 に入力される。直交変調器 6 の信号は電力増幅器 1 で増幅され歪みが付加される。この歪みは、補償値により打ち消される。

【0006】 増幅器 1 の出力信号の一部は直交復調器 3 で復調され I'、Q' のベースバンド信号を得る。この際、ローカル発振器 4 からのローカル復調信号の位相を、I'、Q' の位相が入力信号 I、Q の位相と一致するように移相器 5 により調整する。

【0007】 得られた I'、Q' を入力ベースバンド信号 I、Q と比較器 7 で比較し、その誤差から歪補償テーブル 8 の値を更新するように、 ΔI_1 、 ΔQ_1 を得て歪み補償テーブル 8 に記憶する。

【0008】 以上に説明した従来方式では、増幅器 1 の歪みを直交座標系での各成分の誤差として求め、その逆

10

4

特性を各軸の成分に加算することによりプリディストーション（予備補正）が行われる。

【0009】 従って、従来の方式では次のような問題がある。即ち、

(a) 増幅器 1 の歪みは、増幅歪みと位相歪みをもつため、歪補償テーブル 8 は入力信号 I、Q で表される二次元平面の各点に対応した数の補償値をもつことが必要である。このため入力信号 I、Q の量子化ビット数を n ビットとした場合の容量として、 $2^{2n} \times n$ ビットが必要となる。

【0010】 (b) 一方、歪補償を極座標系で行う方式では、補償テーブル 8 は一次元で構成できる。しかし直交変調器 2 及び、直交復調器 3 とのインターフェイスに際して、極座標／直交座標、直交座標／極座標の変換演算が必要となる。

【0011】 (c) ベースバンド入力信号 I、Q と復調信号 I'、Q' は同位相でなければならない。このため直交変調器 3 である直交検波器のローカル位相を調整する移相器 5 が必要となる。又、増幅器 1 の位相回転量は動作温度、経年変化などで変動するため、ローカル位相を適応的に動作に対応させて、最適状態に保持する機能が必要である。

【0012】 (d) さらに増幅器、フィルタ等により遅延が生じるため、入力信号 I、Q と復調信号 I'、Q' には時間的なずれがある。このため歪補償テーブル 8 から入力信号に付加する誤差信号は、入力信号に対して最適とならず、リニアライザとしての特性が劣化する。

【0013】

【発明が解決しようとする課題】 したがって、本発明の目的は、上記従来の問題点を解決する増幅器を提供することにある。

【0014】 更に、本発明の目的は、歪補償テーブルの容量を小さくできる歪み補償機能を有する増幅器を提供することにある。

【0015】 また、本発明の目的は、極座標／直交座標、直交座標／極座標の変換演算の必要を解消する歪み補償機能を有する増幅器を提供することにある。

【0016】 更に又、本発明の目的は、経年変化の少ない歪み補償増幅器を提供することにある。

40 【0017】

【課題を解決するための手段】 上記の本発明の課題を達成する歪み補償機能を有する増幅器は、基本的構成として増幅器の入力信号と、該増幅器の出力との誤差信号を求める手段と、誤差信号から増幅器の歪み特性成分を補償する補償係数を適応型アルゴリズムにより生成する手段と、生成された補償係数を該入力信号に対応して出力する手段と、入力信号に対応して出力される補償係数を入力信号に乘積して、増幅器に入力する手段とを有する。

50 【0018】 更に具体的には、入力信号に対応して出力

する手段は、入力信号の振幅に対応した歪補償係数を出力し、入力信号の電力に対応した歪補償係数を出力し、入力信号の振幅の関数に対応した歪補償係数を出力し、あるいは入力信号の電力の関数に対応した歪補償係数を出力する。

【0019】又、上記適応型アルゴリズムをLMS適応アルゴリズムとし、或いはRLS適応アルゴリズムとする。

【0020】更に、増幅器の入力側に直交信号変調器と、増幅器の出力側に増幅器から分岐される信号を復調する直交信号復調器を有する構成において、前記適応型アルゴリズムを直交信号復調器からの復調複素信号の象限情報を用いる適応アルゴリズムとする。

【0021】更に又、補償係数を記憶するテーブルの容量の小型化、あるいはより細かな補償係数の生成を目的として、誤差信号から増幅器の歪み特性成分を補償する補償係数を適応型アルゴリズムにより生成する手段に機能的に接続され、生成された補償係数に基づき、所定関数により補償係数を演算し、演算により求められた補償係数により、生成された補償係数を補間する。

【0022】また、上記において、一例として所定関数を一次関数とする。

【0023】更に、歪補償係数の初期値を出力する手段を有し、この手段は、生成された補償係数を入力信号に対応して出力するのに先立って、当該初期値を入力信号に乗積する。これにより、引き込み速度を速くすることが出来る。

【0024】誤差信号から増幅器の歪み特性成分を補償する補償係数を適応型アルゴリズムにより生成する手段により生成される補償係数の更新と、入力信号に対応して出力される補償係数を該入力信号に乗積して、増幅器に入力する手段における補償係数の該入力信号への乗積とを時間的に独立して行う。このために一例として補償係数の該入力信号への乗積とを時間的に独立して行うように制御する手段として、デュアルポートRAMを有し、デュアルポートRAMへの補償係数の更新書き込みと、該デュアルポートRAMからの該補償係数の読み出しが時間的に独立される。これにより系の遅延の影響が回避される。

【0025】更に、所定振幅値まで漸次増加する波形の信号を発生するトレーニング信号発振器を有し、トレーニング期間に該波形の信号を繰り返し入力し、振幅をスイープして該所定振幅値の範囲で歪み補償係数を推定する。この場合も所定振幅範囲に於いて歪み補償係数の引き込みが速く行える。

【0026】また、復調系の誤差を補正すべく、増幅器の入力側に直交信号変調器と、増幅器の出力側に分岐される信号を復調する直交信号復調器と更に、直交信号復調器からの復調信号について、その最大値、最少値に基づき、該直交信号復調器を含む系のDCオフセット及

び、IチャネルとQチャネルのゲイン偏差を求め、これを補正するする回路を有する。

【0027】前記DCオフセット及び、IチャネルとQチャネルのゲイン偏差を、直交信号復調器から単位円を出力し、該単位円に基づき該IチャネルとQチャネルの最大値、最少値を検知し、該最大値、最少値に基づき補正する。

【0028】IチャネルとQチャネルのゲイン偏差を適応アルゴリズムを用いて検知することを特徴とする歪補償を有する増幅器。

【0029】更に、複素平面での単位円を発生するトレーニング信号発振器を有し、トレーニング期間に該単位円の信号を繰り返し入力し、振幅をスイープして所定振幅値の範囲で歪み補償係数を推定する。

【0030】

【発明の実施の形態】以下本発明の実施の形態を図面にしたがい説明する。尚、図において同一又は類似のものには、同一の参照番号及び記号を付して説明する。ここで、本発明のより好ましい理解のために、先に原理図である図1を参照して説明する。

【0031】図1において、参照番号1、2、3及び4は、図14に於けると同様にそれぞれ電力増幅器、直交変調器、直交復調器及びローカル発振器である。更に、図1において、ベースバンド信号は全て複素信号として考える。ベースバンド入力信号X(t)は、乗算器6に於いて適応型アルゴリズムによる推定補償係数生成回路50の歪み補償係数出力と乗積される。

【0032】ここで本発明の特徴として、適応型アルゴリズムによる推定補償係数生成回路50は、ベースバンド入力信号の振幅に対応した似た歪み補償係数を出力する。かかる歪み補償係数は、増幅器1の振幅歪みと位相歪みの関数であることを利用する。したがって適応型アルゴリズムによる推定補償係数生成回路50は入力信号の振幅、電力あるいはそれらの関数に対応した歪み補償係数を持つ。

【0033】ある振幅での増幅器1の振幅歪み及び、位相歪みは、一つの複素の値として表現できる。よって各振幅に対応した複素係数を歪み補償係数としてベースバンド入力信号に乗算器6で乗積することでプリディストーションを行う。

【0034】更に、かかる歪み補償係数の推定に本発明では、適応アルゴリズムを用いる。適応アルゴリズムの例については後に説明する。また必要により、適応型アルゴリズムによる推定補償係数生成回路50の内容の更新と入力信号に対する歪み補償係数の乗積を時間的に独立して行うことも可能である。

【0035】図1において、9は、歪み補償係数を入力信号に対する何れかのパラメータ、即ち入力電力、振幅あるいはそれらの関数に対応したかにより、それに対応した適応型アルゴリズムによる推定補償係数生成回路50

0に対するアクセス信号を生成する回路である。

【0036】上記の原理により、本発明は増幅器1の非線形歪みを適応アルゴリズムを用いて推定し、デジタル処理によりプリディストーションを行う歪補償方式を特徴とする。歪みは、入力振幅の非線形関数なので、量子化された入力の各値に対して、それぞれ独立に歪みを推定する。この時、適応アルゴリズムを用いて増幅器1の出力信号とリファレンス信号即ち、入力信号との誤差を最小にする補正値を求める。より具体的には、本発明では、適応型アルゴリズムによる推定補償係数生成回路50に蓄積される値を入力振幅あるいは入力電力に対応して持つことにより、一次元の歪補償テーブルとなる。このため、推定補償係数生成回路50の容量が $2^n \times n$ ビットに削減される。

【0037】これは、従来方式の $1/2^n$ に相当する。歪補償テーブルの容量は、増幅器1の非線形歪特性をどの程度の折れ線グラフで近似するかを意味している。この歪推定の分解能が変調信号の量子化ビット数よりも少なくとも良い場合は、推定補償係数生成回路50の容量は更に削減が可能となる。

【0038】図1に示される通り本発明においては、図14と比較すると極座標／直交座標、直交座標／極座標の変換が不要となる。

【0039】更に、復調器ローカル位相の調整が不要となる。本発明では複素歪補償係数を乗積することにより増幅器1の歪みの逆特性を付加しているため、 $0 \sim 2\pi$ の位相回転に対して補正する能力をもつ。

【0040】また歪補償係数を適応アルゴリズムにより推定しているため、復調位相の時間的な変化に対して、復調位相を調整することなく常に最適なプリディストーションが可能となる。

10

* 【0041】更に、推定補償係数生成回路50の更新と入力信号への乗積を時間的に分離する場合、系の遅延の影響を受けずに常に最適なプリディストーションが可能となる。

【0042】ここで、適応アルゴリズムには一般的に知られた様々な方法があるが、例えば現代工学社(87/9/10発行)の書籍「適応フィルタ入門」S. ハイキン著等に解説されている。

【0043】ここでは最小二乗法(LMS)と指數重み付き逐次最小二乗法(RLS)を用いた場合について本発明の実施の形態を説明する。

【0044】ここで最小二乗法とは、例えば、時刻 t_1, t_2, \dots, t_n の時の入力信号を、 $u(1), u(2), \dots, u(n)$ とし、 $x(t_i) = u(i)$ $i=1, 2, \dots, n$ で定義される平滑曲線でこの入力信号の集合を近似することを考える。この近似の際に、入力信号 $u(i)$ と $x(t_i)$ の差の二乗和を最小にすることが最小二乗法の概念である。

【0045】(a) LMSアルゴリズムによる実施の形態

20

図2に本発明の一実施の形態のブロック図を示す。尚、図2及び以下の図において説明する実施の形態では変調器および復調器は、図示省略されている。図において、適応アルゴリズムにより推定される歪み補償係数を生成する回路即ち、推定補償係数生成回路50は、歪み補償係数を記憶するテーブル500、加算器501、乗算器502、503、504および複素数変換回路8を含んで構成される。

【0046】そして、図2において補償すべき歪み量の推定は、以下の数1の演算により行われる。

【0047】

* 【数1】

$$h_n(p) = h_{n-1}(p) + \mu e(t) u^*(t) \quad \dots (1)$$

$$e(t) = x(t) - y(t) \quad \dots (2)$$

$$u(t) = x(t) f(p) \simeq h^*_{n-1}(p) y(t) \quad \dots (3)$$

$$h_{n-1}(p) h^*_{n-1}(p) \simeq 1 \quad \dots (4)$$

$$y(t) = h_{n-1}(p) x(t) f(p) \quad \dots (5)$$

$$p = |x(t)|^2 \quad \dots (6)$$

【0048】ここで、 $x(t)$ は、入力ベースバンド信号、 $f(p)$ は、増幅器1の歪関数、 $h(p)$ は、更新される推定歪補償係数および μ は、ステップサイズ・パラメータである。更に、数1において、 x 、 y 、 f 、 h 、 u 、 e は複素数、*は共役複素数を表す。又、 $u(t)$ は、増幅器1の振幅歪みがあまり大きくない($h_{n-1}(p) h^*_{n-1}(p) \simeq 1$)と仮定して近似する。

【0049】上記の条件において、数1の内容の意味を説明する。式(1)の $h_n(p)$ は、更新される推定歪補償係数であり、歪み補償係数を記憶するテーブル500への入力である。増幅器1の出力 $y(t)$ から、共役複素数生成回路である複素数変換回路8に於いて、 y^*

40 (t)を得る。したがって、乗算器504の出力は、一時点前の推定歪補償係数を $h_{n-1}(p)$ とすると、 $y^*(t) h_{n-1}(p)$ となる。

【0050】乗算器504の出力は、更に乗算器503で比較器7の出力 $e(t)$ と乗算され、 $y^*(t) h_{n-1}(p) e(t)$ となる。更に、これに、乗算器503でステップサイズ・パラメータ μ が乗算される。

【0051】したがって、更新される推定歪補償係数 $h_n(p)$ は、 $h_n(p) = \mu y^*(t) h_{n-1}(p) e(t) + h_{n-1}(p)$ となる。

【0052】ここで、 $y^*(t) h_{n-1}(p) = U$
50 * (t)とすると、数1の式(1)のように表される。

9

【0053】また、 $e(t)$ は、式(2)に示されるように減算器7の出力であり、入力と出力の誤差である。更に、式(3)の $u(t)$ は、增幅器1の振幅歪みが余り大きくなく、式(4)のように仮定して近似される。したがって、 $U^*(t)$ の共役複素数 $U(t)$ は、式(3)のように表される。

【0054】ここで、式(6)は、回路9が、入力信号の電力の大きさを求める回路であることを意味する。これを入力の振幅を求める回路とする場合は、式(6)は $|x(t)|$ で表わされる。あるいは電力または振幅の関数とする場合は、それぞれ $g(|x(t)|^2)$ 、 $g(|x(t)|)$ で表わされる。

【0055】更に、かかる回路9により求められた値は、歪み補償係数を記憶するテーブル500に対する書き込み、読みだし時のアドレスとなる。

【0056】この書き込み更新と、入力信号への推定歪み補償係数の乗積とは別個に行う場合は、系への遅延の影響なしに常にプリディストーションが可能である。*

$$h_n(p) = h_{n-1}(p) + \mu e(t) \det[h_{n-1}(p)] \det[y(t)^*] \quad \cdots (7)$$

$$\det[R + jX] = \frac{1}{\sqrt{2}} (\operatorname{sgn}(R) + j \operatorname{sgn}(X))$$

$$\operatorname{sgn}(x) = \begin{cases} 1 & (x \geq 0) \\ -1 & (x < 0) \end{cases}$$

【0061】式(7)を実現するには、図3の回路において、 μ の乗算は、 $\mu = 1/2^n$ としてビットシフトを行う。これにより式(7)の右辺第二項は、 $e(t)$ に対する0、 $\pm\pi/2$ 、 π の回転演算となる。これを行う位相回転器503、504はハードウェアで構成される場合、正負の符号変換とセレクタで実現できる。

【0062】更に、数2における $\operatorname{sgn}(R)$ 、 $\operatorname{sgn}(X)$ は、複素信号の実部と虚部のそれを0を中心として比較する比較器により構成される象限判定器505、506において、求められる。入力複素信号が0より大きい場合は1、小さい場合は-1を出力する。これ※

* 【0057】(b) クリップトLMSアルゴリズムによる実施の形態

上記図2においては、式(1)の演算では $h_n(p)$ を更新するために複素乗算が2回(乗算器503、504による乗算)、実数乗算が1回(乗算器502での μ との乗算)が必要である。この乗算回数を削減する実施の形態が図3に示される。

【0058】即ち、図3は、更に上記図2の実施の形態の拡張であり、復調複素信号の象限情報を用いた適応アルゴリズムにより歪み補償係数を推定するようにした実施の形態である。構成は、図2の実施の形態の構成に加え、更に象限判定器505、506を有し、且つ乗算器503、504を位相回転器としている。

【0059】かかる構成において、上記数1の式(1)を、数2の式(7)置き換える。

【0060】

【数2】

※により復調複素信号が4つの象限のいずれにあるかが4ビットで表現出来る。

【0063】(c) 指数重み付きRLS(逐次最少二乗法)による実施の形態

30 図4は、適応アルゴリズムとして指数重み付きRLSを用いた例に対応する構成例ブロック図である。

【0064】かかる実施の形態に対応する適応アルゴリズムによる推定歪み補償係数を求める演算は数3に示すように与えられる。

【0065】

【数3】

$$h(i) = h(i-1) + e(i) K^*(i) \quad \cdots (8)$$

$$K(i) = \frac{T(i)}{v + u^*(i) T(i)} \quad \cdots (9)$$

$$P(i) = \lambda^{-1} P(i-1) - K(i) T^*(i) \quad \cdots (10)$$

$$T(i) = \lambda^{-1} P(i-1) u(i) \quad \cdots (11)$$

$$e(i) = x(i) - y(i)$$

【0066】歪み補償係数を記憶するテーブル500に更新される推定歪み補償係数 $h(i)$ は、誤差検出器7より得られる誤差信号 $e(i)$ に共役複素数変換回路8からの K の共役値 K^* を乗算したものと、一時点前の歪み補償係数 $h(i-1)$ を加算器501で加算したも

のであり、式(8)に示される。

【0067】ここで、 K はカルマンベクトルと呼ばれ、数3の式(9)により求められる。式(9)の分母において、 v は推定誤差 $e(i)$ の分散であり、正の小さな整数たとえば、1である。 $u^*(i)$ は共役複素数変換

11

回路82の出力であり、 $u(i)$ は共役複素数変換回路81及び乗算器507により得られ、数1の式(3)と同様に表される近似値である。したがって、乗算器508で $u^*(i)$ と $T(i)$ との積が得られる。これに加算器509で v が加算され、式(9)の分母となる。

【0068】一方、式(9)の分子である $T(i)$ は、式(11)の関係になり、式(11)に現れる $P(i-1)$ は、式(10)の関係を持つ。ここで、式(10)の $P(i)$ は、本アルゴリズムにおいて相関行列と呼ばれる。

【0069】 $T(i)$ は、乗算器510の出力であり、 $u(i)$ と乗算器511の出力である $\lambda^{-1}P(i-1)$ の積で表される。更に $P(i)$ は、乗算器512の出力即ち、共役複素数変換回路83からの $u^*(i)$ とカルマン係数 K との積を、乗算器511の出力即ち、 $P(i-1)$ と λ の逆数 λ^{-1} との積から引き算回路513で引き算した結果である。

【0070】上記の λ は忘却係数であり、 $0 < \lambda \leq 1$ の範囲にあり、 $\lambda = 1$ の時、 $P(i)$ の値が累積され、0に近くなると、過去の値を消していく即ち、忘却していく。これは、例として増幅器の特性が時間で温度等の要因で変化する場合、過去の状態を全て累積する場合は、収束が遅くなる。したがって、通常は、0.9に近い最適値が選択される。

10

20

*

12

* 【0071】更に、図4に戻ると、514は割り算回路であり、加算器509の出力を分母とし、 $T(i)$ を分子として演算を行う。これにより、式(9)のカルマンベクトル K が得られる。

【0072】図5は、本発明の別の実施の形態ブロック図であり、特に歪み補償係数を記憶するテーブル500の容量を小さく出来るものである。前提として図2、図3に示すLMSアルゴリズムによる構成に適用されているが、これに限定されず、図4のRLSアルゴリズムによる実施の形態等にも適用可能である。

【0073】図6は、図5の動作を説明する図である。即ち、図5の実施の形態は、推定歪み補償係数を実際の推定値を基に、隣接する時点の推定値を演算により求め補間するようにしたものである。この演算のために図5において、内挿値演算回路530を備えている。

【0074】今、歪み補償係数を記憶するテーブル500から既に説明したアルゴリズムに基づき推定された歪み補償係数について、 p_n の時 h_n 、 p_{n+1} の時 h_{n+1} とすると、図6に示すように p_n と p_{n+1} の間は、一次関数の値 $h(p)$ で近似補間する。

【0075】この時の補間値は、数4に従い内挿値演算回路530で求められる。

【0076】

【数4】

$$h(p) = \begin{cases} \frac{h_{n+1} - h_n}{p_{n+1} - p_n} (p - p_n) + h_n & (p_n < p < p_{n+1}) \\ h_n & (p = p_n) \end{cases} \quad \dots (12)$$

【0077】即ち、 $p = p_n$ の時 h_n とすると、 p が $p_n < p < p_{n+1}$ にある時、式(12)で求められる値となる。

【0078】このようにして求められた、補間値を図5の構成において、スイッチ531で切り換えて、乗算器6に接続するようにしている。かかる構成により、歪み補償係数を記憶するテーブル500の容量を小さくでき、あるいは補償係数テーブル500の容量を同一とすると、より細かな補償係数値を入力信号 $X(t)$ に与え、きめ細かな歪み補償を行うことが可能である。

【0079】図7は、本発明の別の実施の形態ブロック図である。歪み補償係数の初期値を予め用意しておき、状況に応じて適応アルゴリズムにより更新するものである。図7において、図2の実施の形態を基本として歪み補償係数の初期値を保持する初期値テーブル520を有している。

【0080】521は、切替えスイッチであり、初期値テーブル520に接続し、予め用意した値を歪み補償係数として入力信号に乘積する。状況に応じて、スイッチ521を乗算器501に接続して推定される歪み補償係数

数値で更新する。かかる構成により、収束速度の向上が期待出来る。

【0081】尚、図7は、LMSアルゴリズムを用いる例に適用しているが、これに限らず、上記図4で説明したRLSアルゴリズムを用いる場合にも同様に適用可能である。

【0082】図8は、歪み補償係数を記憶するテーブル500の内容の更新と入力信号に対する歪み補償係数の乗積を時間的に独立して行う場合の実施の形態ブロック図である。図8の構成は、図2のLMSアルゴリズムの構成を前提としているが、これに限定されず、図4のRLSアルゴリズムの構成を前提とすることも勿論可能である。

【0083】図8において、更に付加回路として、歪み補償係数を記憶するテーブル500と同様の付加歪補償テーブル501を設けている。したがって、歪補償係数値の入力信号に対する乗積は、歪み補償係数を記憶するテーブル500の出力により行い、歪補償係数値の更新は、付加歪補償テーブル501に対して行うようにする。これにより、歪補償係数値の更新と入力信号に対す

50

13

る歪み補償係数の乗積を時間的に独立して行うことが可能である。

【0084】ここで、歪み補償係数を記憶するテーブル500及び付加歪補償テーブル501として一对のテーブル用メモリを設ける他に、デュアルポートRAMを用いて構成することが可能である。又、図において、10、11は、遅延回路であって、歪補償係数値の更新と入力信号に対する歪み補償係数の乗積のタイミングを所定の時間関係に同期させるためのものである。

【0085】図9は、本発明の歪み補償回路の適用例である。変調器入力を考慮すると歪み補償係数を更新するに際し、任意の入力振幅値に対して歪み補償係数 $h(t)$ を与えることが必要である。このために歪み補償係数 $h(t)$ を予め求めておくことが重要である。

【0086】図9において、(i)に示すトレーニング信号は、0から一定振幅まで上昇する繰り返しの鋸歯状波である。このトレーニング信号を用い、事前に0から一定振幅の範囲で歪み補償係数 $h(t)$ を求めておくことが出来る。これにより、適切な歪み補償係数に収束を早めることが出来る。

【0087】図10は、更に本発明に従う別の実施の形態ブロック図である。本発明によるプリディストータでは上記実施の形態で説明したように、入力振幅に対応した歪み補償係数を用いている。增幅器出力信号を得るために直交復調器3にDCオフセット、I、Qチャネルのゲイン差がある場合、本来同じ補正係数を与えるべきが、正しい補償係数が推定出来ずリニアライザとしての特性が劣化する。

【0088】したがって、図10の実施の形態は、かかる特性劣化に対応し、復調器のオフセット、ゲインの自動調整を行うものである。特に自動補正是、 $h_n(p)$ の推定の前に行うため、復調位相は未知である。このため復調位相に依存しない方法でオフセット、ゲイン偏差を測定する。

【0089】図11は、直交復調器3にDCオフセットがある場合を説明する図である。図11においてIは、正常な場合の複素平面の単位円であり、IIは、DCオフセットがある場合の複素平面の単位円である。

【0090】今、図11において、数5で表される単位円を出力する。この時のI/Qチャネルのそれぞれの最大値を測定する。これをIチャネルについて、 v_{imax} 、 v_{imin} 、Qチャネルについて、 v_{qmax} 、 v_{qmin} とする。オフセット Δv_i 、 Δv_q 、ゲイン G_i 、 G_q がそれぞれ数6、数7のように表される。

【0091】

【数5】

$$v = e^{j\theta}, \quad \theta \leq \theta \leq 2\pi$$

【0092】

【数6】

$$\Delta v_i = \frac{v_{imax} + v_{imin}}{2}$$

$$\Delta v_q = \frac{v_{qmax} + v_{qmin}}{2}$$

【0093】

【数7】

$$G_i = \frac{v_{imax} - v_{imin}}{2}$$

$$G_q = \frac{v_{qmax} - v_{qmin}}{2}$$

【0094】即ち、オフセット Δv_i 、 Δv_q はそれぞれ v_{imax} と v_{imin} の相加平均、 v_{qmax} と v_{qmin} の相加平均で表される。また、ゲインの偏差は、Iチャネルのゲイン G_i とQチャネルのゲイン G_q の比 $a_n = G_q / G_i$ で求められる。 $a = 1$ の時、ゲイン偏差はなく、単位円は真円となる。

【0095】ここでIチャネルのゲイン G_i 、Qチャネルのゲイン G_q は、それぞれ数6に示すように、最大値と最少値の差の半分として求められる。ゲイン偏差の補正は、例えばQチャネルを参照値としてIチャネルのゲインを可変して行う。

【0096】図10について更に説明すると、上記演算を行う回路として、図1の原理図に対してDCオフセット及びゲイン偏差補正を行う補正部70が設けられている。尚、図1における直交変調器2及び復調検波器3は、他の実施の形態説明図におけると同様に図示省略され、ベースバンド信号のみの構成が示されている。

【0097】増幅器1から分岐されるI、Qチャネル信号は、それぞれ最大値を検知する回路701、711、最小値を検知する回路702、712に入力される。更にIチャネル側の最大値を検知する回路701と最小値を検知する回路702の出力は、和回路703及び差回路704に入力される。一方、Qチャネル側の最大値を検知する回路711と最小値を検知する回路712の出力は、和回路713及び差回路714に入力される。

【0098】和回路703、713の出力は、それぞれ1/2乗算回路705、715に入力される。したがって、1/2乗算回路705、715の出力は、数5のオフセット ΔV_i 、 ΔV_q となる。

【0099】このオフセット ΔV_i 、 ΔV_q は、それぞれI、Qチャネル信号から減ずるように差回路706、716に入力される。したがって、差回路706、716の出力は、増幅器1の出力からオフセット ΔV_i 、 ΔV_q が打ち消されたI、Qチャネル信号となる。

【0100】一方、差回路704、714の出力は、割り算回路720に入力され、その比即ち、 G_q / G_i が

15

求められる。この比 G_q / G_i は、上記したように、Q チャネルを参照値として I チャネルのゲインを可変して ゲイン偏差の調整を行うために I チャネル側の差回路 7 0 6 の出力と乗算器 7 2 1 で乗算される。

【0101】上記の如くしてオフセット及びゲイン調整 がされた増幅器 1 の出力 $y(t)$ は、誤差検出器 7 において、入力信号 $x(t)$ との比較の対象とされる。

【0102】上記の如く行われる補正後の信号は数 8 で 与えられる。

【0103】

【数8】

$$\begin{aligned} v'_{\text{I}} &= a_n (v_{\text{I}} - \Delta v_{\text{I}}), \quad a_n = G_{\text{q}} / G_{\text{i}} \\ v'_{\text{q}} &= v_{\text{q}} - \Delta v_{\text{q}}. \end{aligned}$$

【0104】ここで、上記のゲイン偏差 a_n は、図 1 0 に示した如く実際にゲインの除算を行って求めることができ、ゲインの比 G_q / G_i を求めるのに割り算回路 7 2 0 を用いている。しかし、デジタル回路により割り算を実行させる場合、一般に複雑な構成となる。

【0105】したがって、図 1 2 は、図 1 0 において行っている割り算回路 7 2 0 による実際の除算に代え、 G_i と G_q の差が 0 となるように G_q / G_i の推定値 a_n を LMS アルゴリズムで推定するものである。推定値 a_n は、数 9 により求められ、図 1 2 の推定回路 7 3 0 により実行される。

【0106】

【数9】

$$a_n = a_{n-1} + \mu e G_i \quad \cdots \text{(13)}$$

$$e = G_{\text{q}} - G_i \quad a_{n-1} \quad \cdots \text{(14)}$$

【0107】即ち、メモリ機能を有する G_q / G_i セットメモリ回路 7 3 1 への入力である G_q / G_i の推定値 a_n は、誤差回路 7 3 4 の出力であり、数 9 の式 (1 3) で表される e にステップパラメータ μ 、差回路 7 0 4 の出力 G_i が乗算回路 7 3 2、7 3 3 で乗算される。この乗算結果 $\mu e G_i$ と G_q / G_i セット回路 7 3 1 の出力 a_{n-1} が加算回路 7 3 5 で加算される。

【0108】推定回路 7 3 0 は、誤差回路 7 3 4 の出力 e が 0 となるように動作するので、結局、乗算器 7 2 1 に乘算される補正值 a_n は式 (14) の関係から G_q / G_i の比と等価の値に出来る。

【0109】上記図 1 0、図 1 2 の実施の形態において、入力信号振幅が一定の場合について説明した。この場合 I、Q 復調信号の最大値、最小値のみから補正值を 求めるため、ランダムな入力信号に対してもその観測時 間を長くとることにより適用できる。また上記の測定を 複数回行ってその平均値を補正值とすることにより、補 正精度を向上することができる。

【0110】しかし、時間が掛かると言う問題がある。 図 1 3 は、これに対応する実施の形態であり、単位円を

16

トレーニング信号として出力する回路 1 0 を設ける。単位円発生回路 1 0 の出力を $x(t)$ の代わりトレーニング期間に入力すれば、単位円を一周する信号が出力されることにより、補正係数が取得出来る。

【0111】単位円発生回路として、実部、虚部に対応して sine、cosine の値を ROM テーブルに記憶し、順次アクセスするようにして構成出来る。

【0112】

【発明の効果】以上実施の形態にしたがい説明したよう に、本発明により次の効果が得られる。

(a) ディジタル処理によるプリディストータの歪補償 テーブル容量を $1 / 2^n$ (n は入力信号の量子化ビット 数) 以下に削減することができる。これよりダイナミックレンジの大きな信号に対する用途では、メモリ容量が 大きく低減され、従来では実現性に問題のあった回路規 模を現実的なものとすることができる。

【0113】また携帯機端末等のスペース、消費電力の 制限が厳しい用途においては、シングルチップ LSI、あるいは DSP 等の内部 RAM の容量で実現可能なりニアライザを構成することが可能となる。

(b) 復調位相を調整する移相器あるいは位相回転演算 が不要となり、温度、時間変化に対する補正が必要な い。これより常に安定した歪補償特性が得られる。

(c) 復調系の不完全性に対する許容範囲が広がるた め、ハードウェアのコスト、調整工数を低減するこ ができる。

(d) 増幅器、フィルタ等の遅延の影響を受けない理想的なプリディストーションが可能となる。

【図面の簡単な説明】

【図1】本発明の原理を説明する図である。

【図2】本発明の第1の実施の形態ブロック図である。

【図3】本発明の第2の実施の形態ブロック図である。

【図4】本発明の第3の実施の形態ブロック図である。

【図5】本発明の第4の実施の形態ブロック図である。

【図6】図5の動作説明図である。

【図7】本発明の第5の実施の形態ブロック図である。

【図8】本発明の第6の実施の形態ブロック図である。

【図9】本発明の第7の実施の形態ブロック図である。

【図10】本発明の第8の実施の形態ブロック図であ る。

【図11】図10の動作説明図である。

【図12】本発明の第9の実施の形態ブロック図であ る。

【図13】本発明の第10の実施の形態ブロック図であ る。

【図14】本発明の従来例を説明する図である。

【符号の説明】

1 増幅器

2 直交変調器

3 直交復調検波器

4 ローカル信号発振器

5 補償係数メモリ

50 適応型アルゴリズムによる推定補償係数生成回路

500 歪み補償係数を記憶するテーブル

6 乗算器

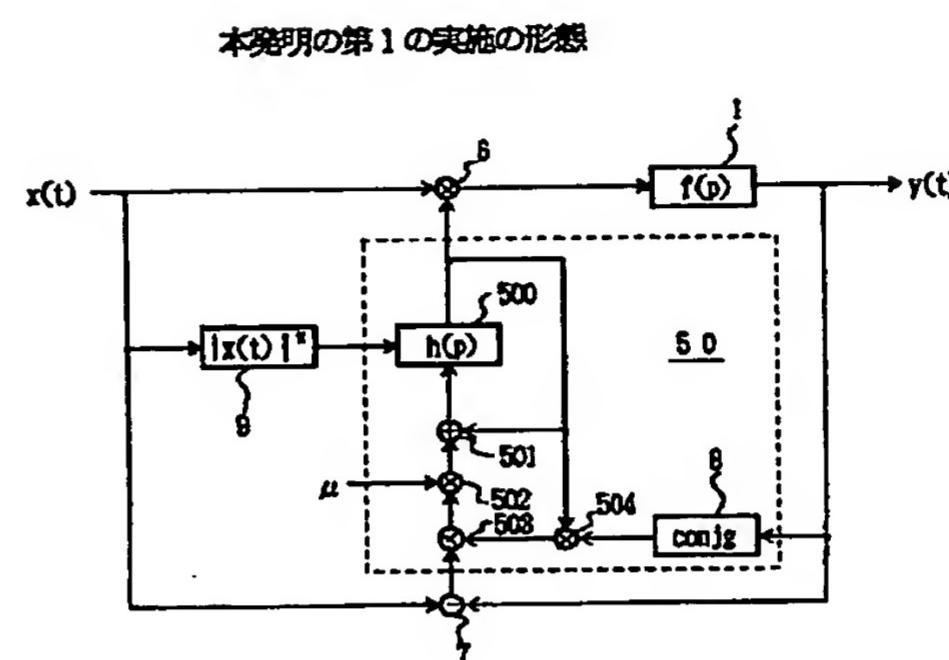
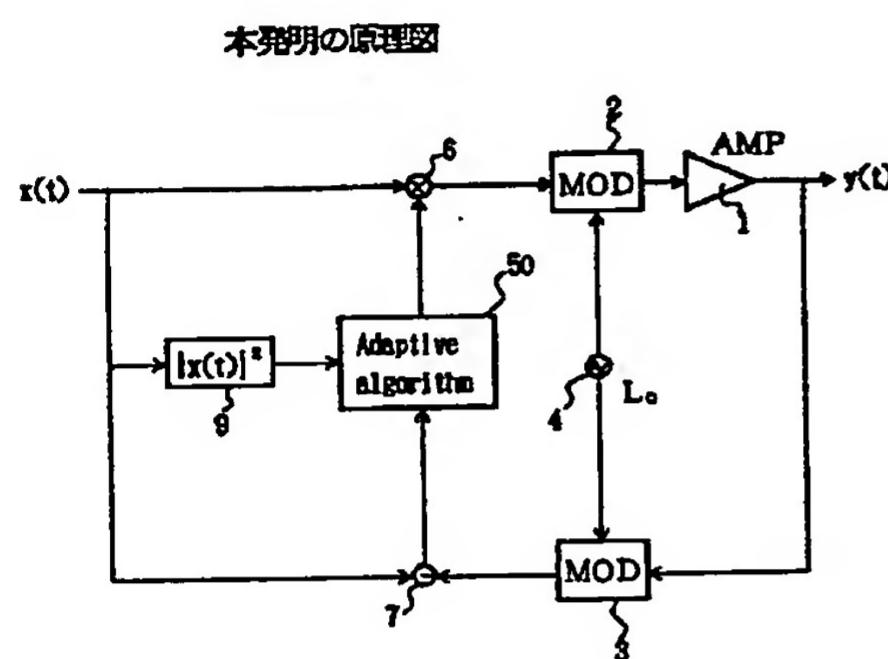
7 比較器

8 共役複素数

9 アクセス信号を生成する回路

【図1】

【図2】



【図3】

【図4】

【図6】

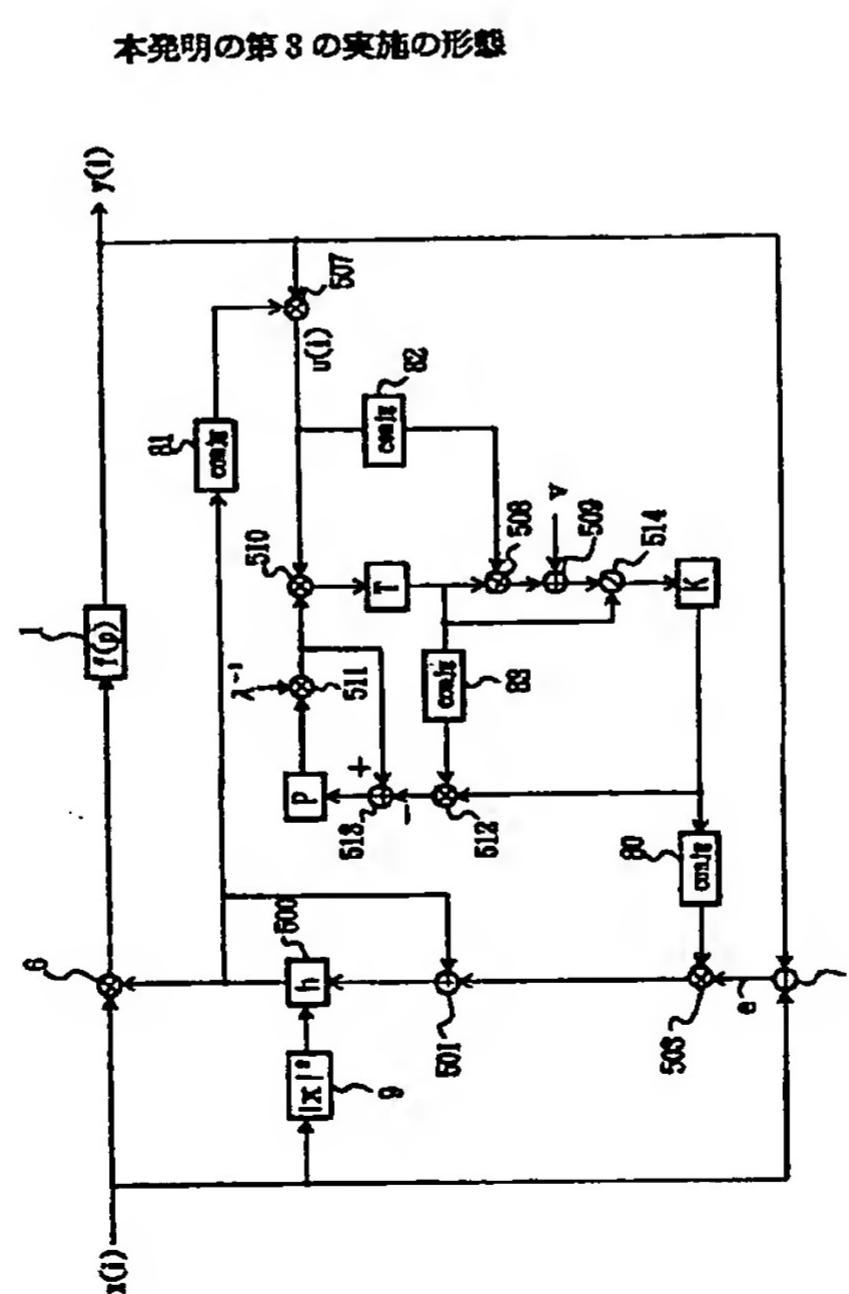
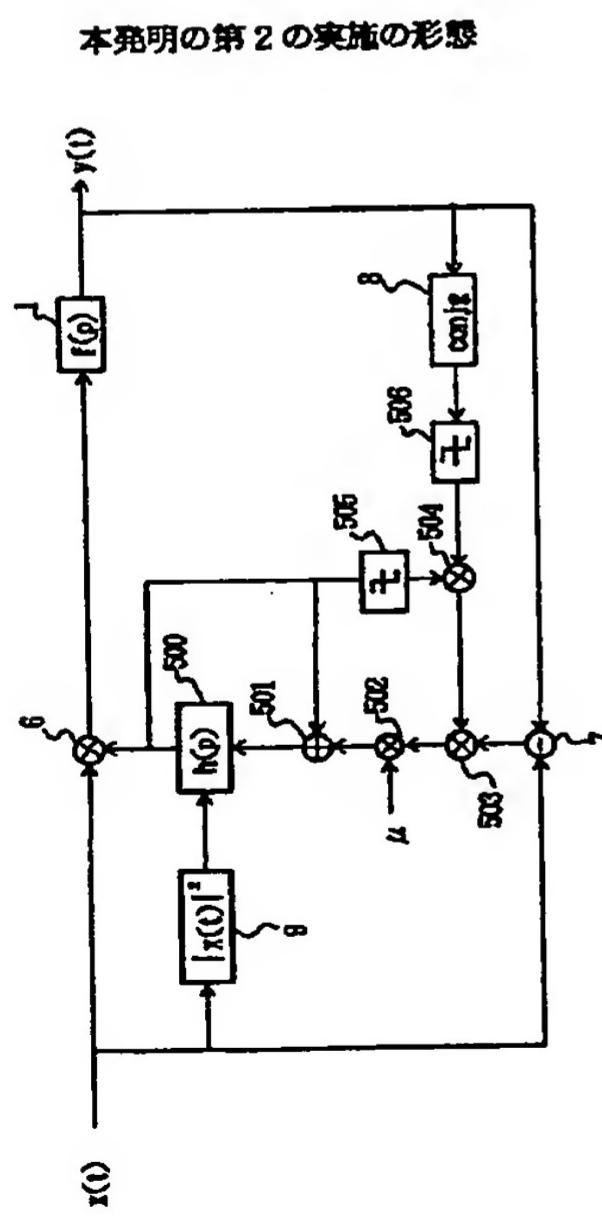
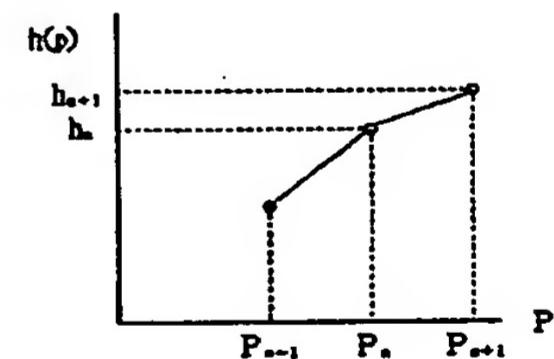
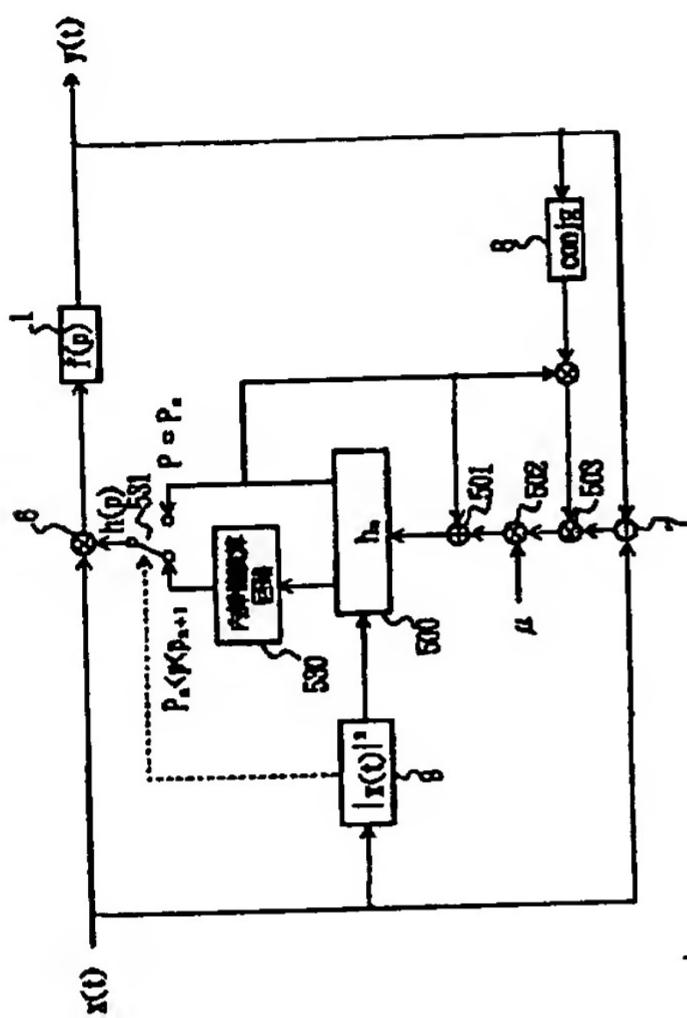


図5の動作説明図



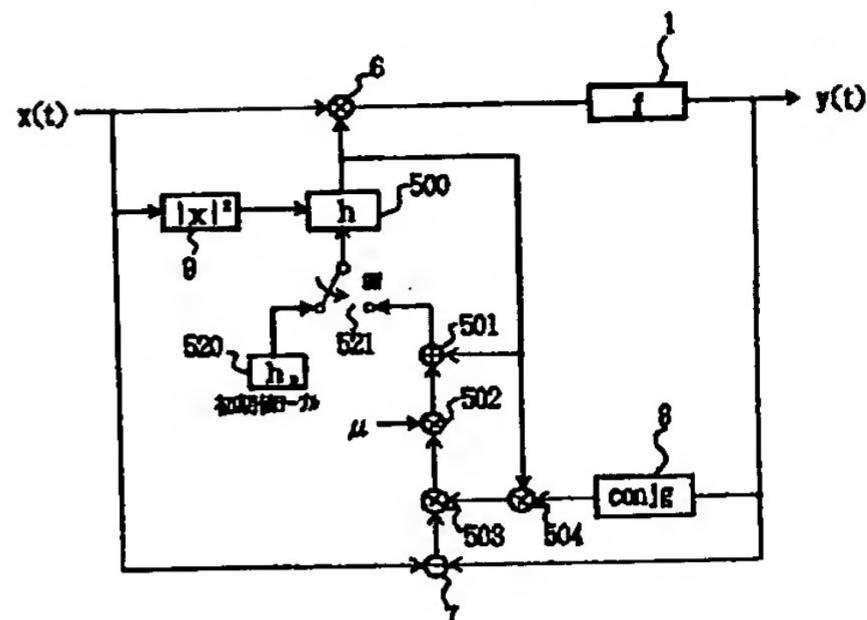
【図5】

本発明の第4の実施の形態



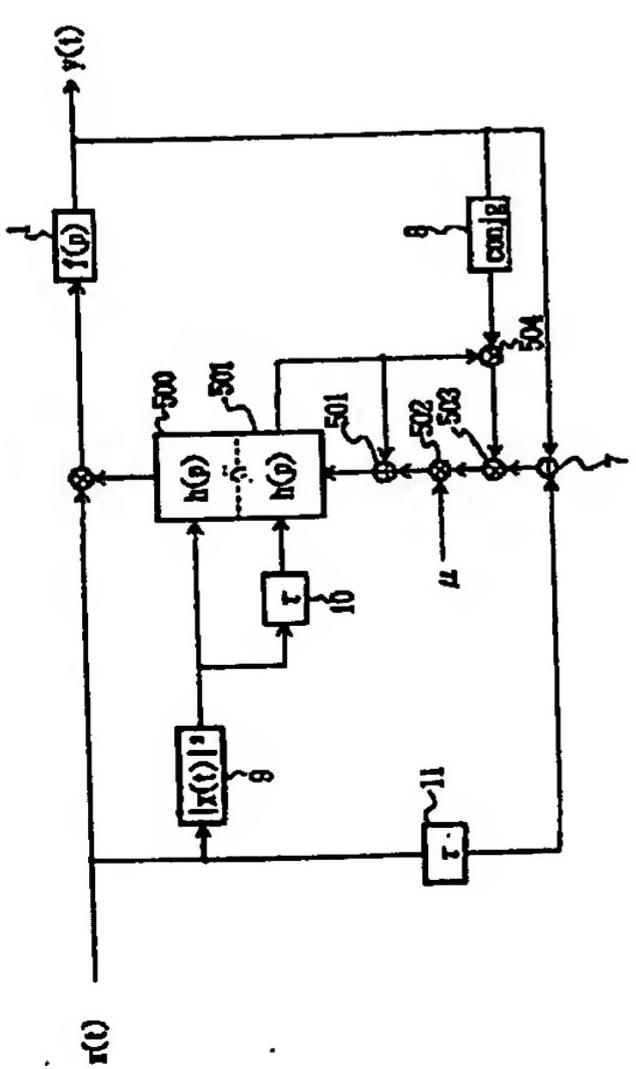
【図7】

本発明の第5の実施の形態



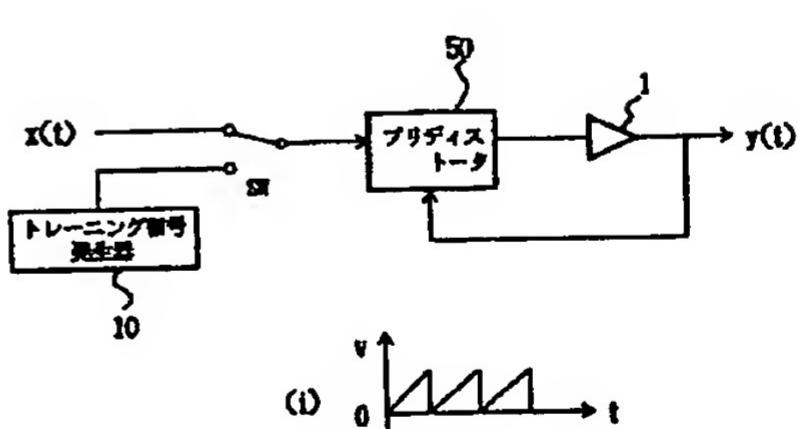
【図8】

本発明の第6の実施の形態

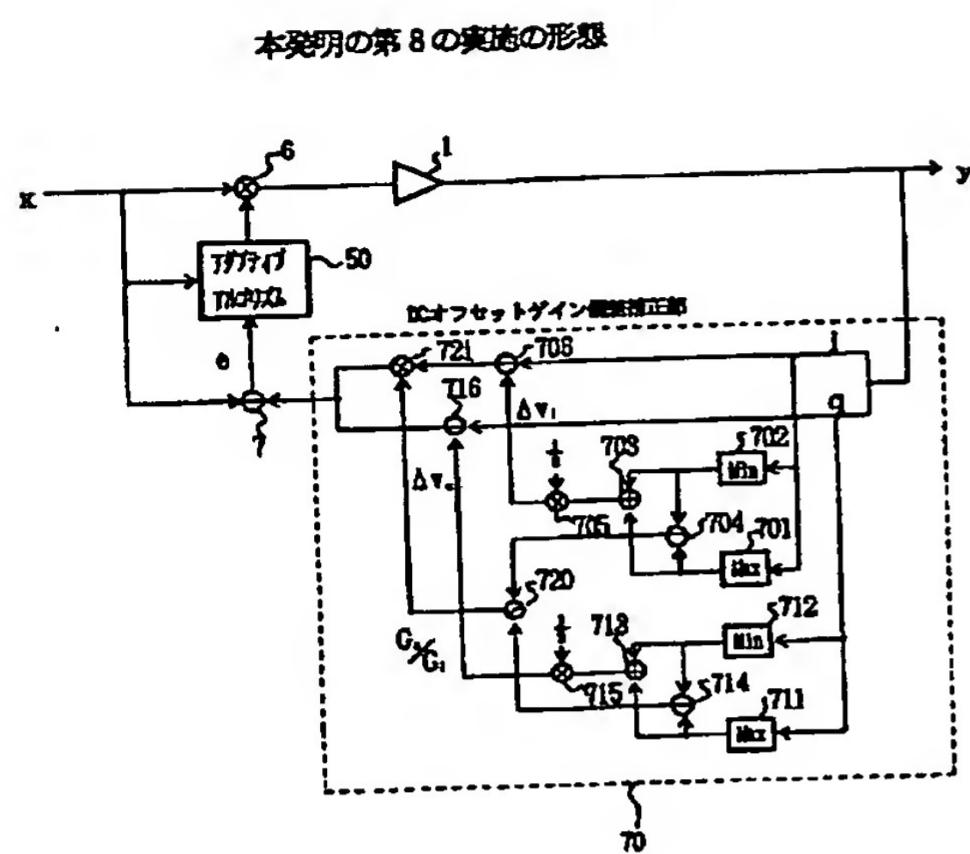


【図9】

本発明の第7の実施の形態

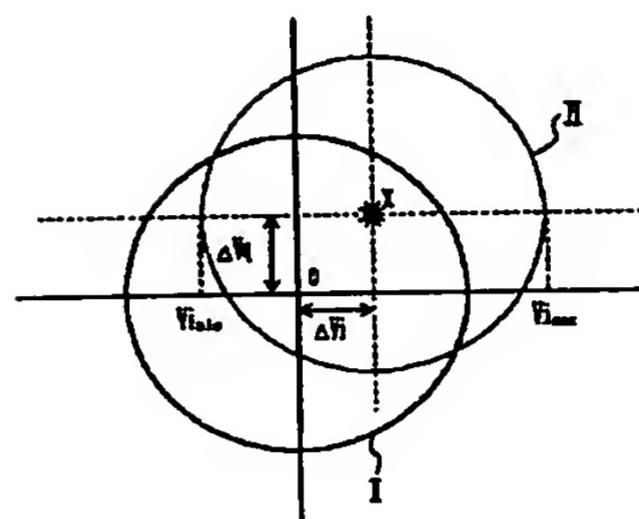


【図10】



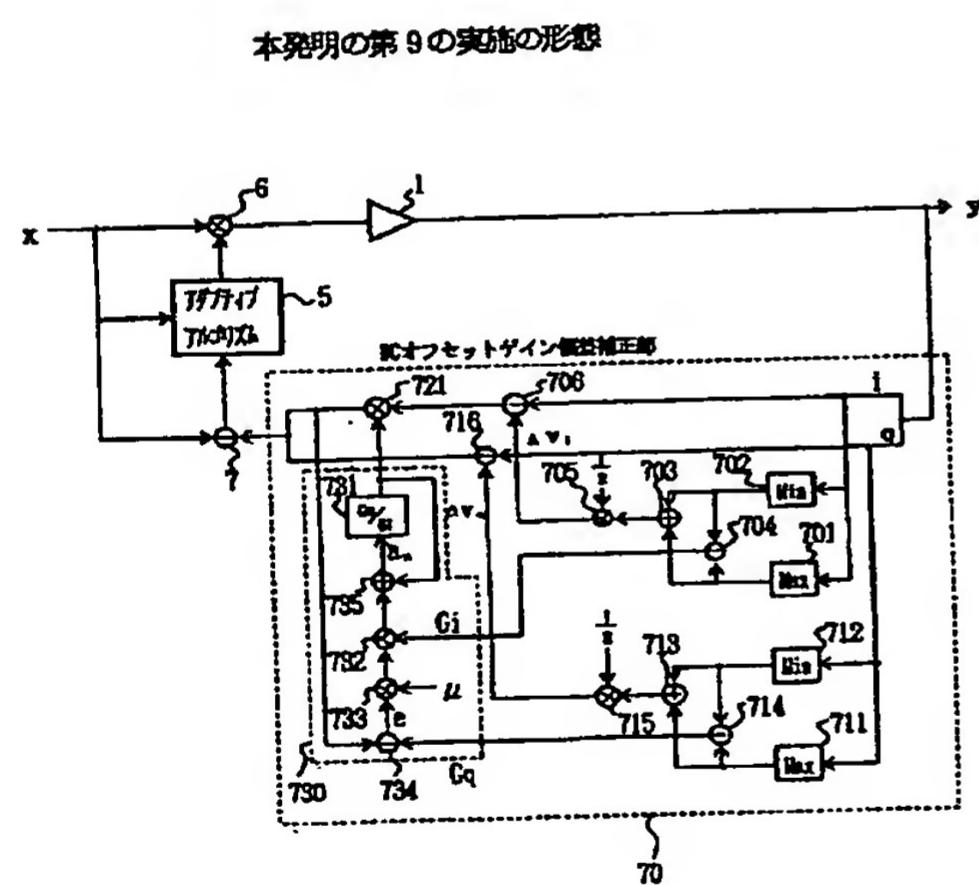
【図11】

図10の動作説明図

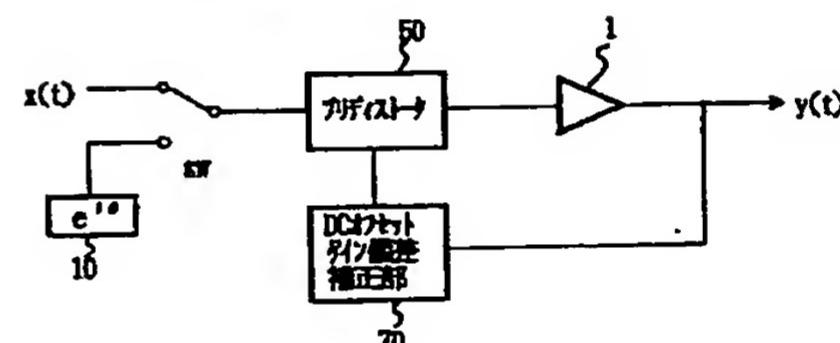


【図13】

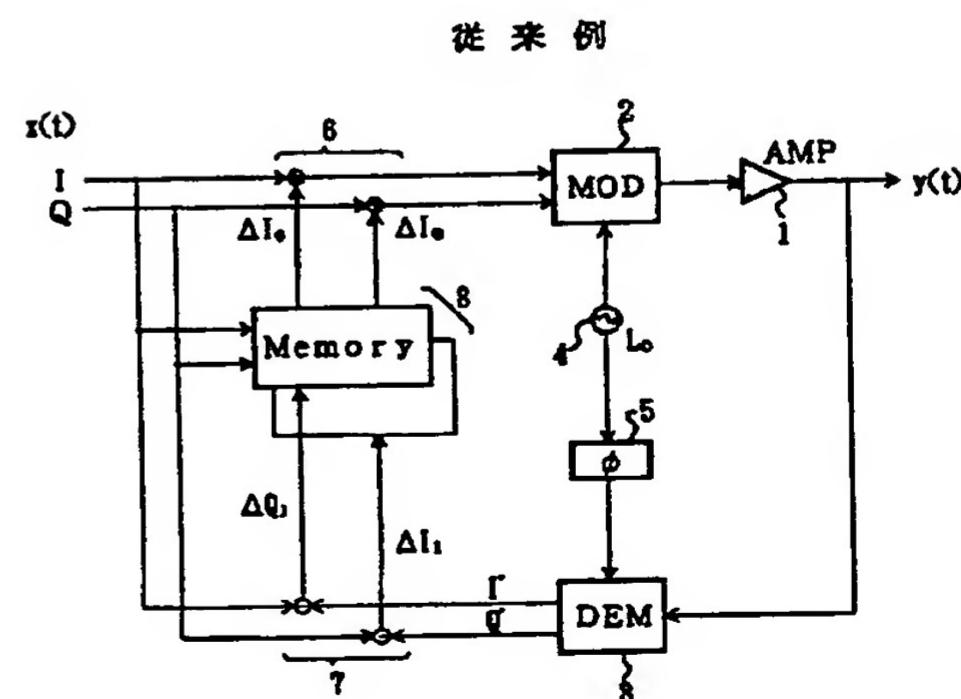
【図12】



本発明の第10の実施の形態



【図14】



フロントページの続き

(72)発明者 長谷 和男
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 福田 英輔
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 高野 健
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

